

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-178735

(43)Date of publication of application : 12.09.1985

(51)Int.Cl.

H04B 9/00

H01L 33/00

H01S 3/096

(21)Application number : 59-033995

(71)Applicant : SUMITOMO ELECTRIC IND LTD

(22)Date of filing : 24.02.1984

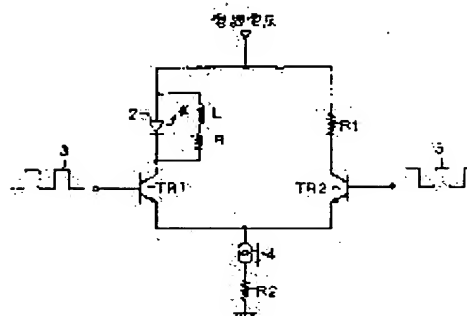
(72)Inventor : TAKADA HISASHI
NISHIE MITSUAKI

(54) DRIVE CIRCUIT OF LIGHT EMITTING ELEMENT

(57)Abstract:

PURPOSE: To drive a light emitting element at a speed of several hundred mega bits or more per second by connecting a series circuit consisting of a resistance and an inductance in parallel to the light emitting element and discharging quickly the electric charge stored in a parasitic capacity of the light emitting element when a transistor of one side becomes inconducive.

CONSTITUTION: A series circuit consisting of a resistance R and an inductor L is connected in parallel to a light emitting element 2. The base of a transistor TR1 is adversely biased when a drive input pulse is turned off, and the TR1 is turned off. In this case, the electric charge stored in a parasitic capacity Cd of the element 2 is discharged quickly through said series circuit and not virtually supplied to the element 2. In other words, said series circuit functions as a discharging path of the electric charge stored in the Cd when the element 2 is turned off. Thus the fall time is extremely reduced for an optical output pulse delivered from the element 2. This attains the high-speed pulse drive with several hundred mega bits or more per second.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-178735

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)9月12日

H 04 B 9/00
H 01 L 33/00
H 01 S 3/096

Y-6538-5K
6666-5F
7377-5F

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 発光素子駆動回路

⑯ 特 願 昭59-33995

⑰ 出 願 昭59(1984)2月24日

⑱ 発 明 者 高 田 寿 士 横浜市戸塚区田谷町1番地 住友電気工業株式会社横浜製作所内

⑲ 発 明 者 西 江 光 昭 横浜市戸塚区田谷町1番地 住友電気工業株式会社横浜製作所内

⑳ 出 願 人 住友電気工業株式会社 大阪市東区北浜5丁目16番地

㉑ 代 理 人 弁理士 新居 正彦

明細書

1. 発明の名称 発光素子駆動回路

2. 特許請求の範囲

(1) 互いにエミッタを共通結合された2つのトランジスタから構成される電流切り換え型スイッチ回路と、該電流切り換え型スイッチ回路の一方のトランジスタのコレクタと電源との間に接続された発光素子とを備え、前記2つのトランジスタのベースに互いに反転した駆動入力パルスが供給されるようになされた発光素子駆動回路にして、前記発光素子と並列に、抵抗とインダクタとからなる直列回路が接続され、前記一方のトランジスタが非導通状態にされたとき、前記発光素子の寄生容量に蓄えられた電荷が前記抵抗とインダクタとの直列回路を介して速やかに解放され、光出力パルスの立下がり特性を改善したことを特徴とする発光素子駆動回路。

(2) 前記駆動入力パルスは、パルス幅伸縮回路に

送られて、該パルス幅伸縮回路の働きにより、発光素子の駆動入力パルス—光出力間の非線形性に起因する光出力パルスのパルス幅歪みを補正する所定のパルス幅のパルス列に変換したのち、前記電流切り換え型スイッチ回路の前記2つトランジスタのベースにそれぞれ供給されることを特徴とする特許請求の範囲第1項記載の発光素子駆動回路。

(3) 前記抵抗は、前記発光素子の消光時の抵抗値に対して十分低い抵抗値を有していることを特徴とする特許請求の範囲第2項記載の発光素子駆動回路。

(4) 前記抵抗は、10オームから200オームの範囲内の抵抗値を有しており、前記インダクタは、10ナノヘンリーから10マイクロヘンリーの範囲内のインダクタンスを有していることを特徴とする特許請求の範囲第3項記載の発光素子駆動回路。

(5) 前記発光素子は、半導体レーザ又は発光ダイオードであることを特徴とする特許請求の範囲第1項から第4項までのいずれかに記載の発光素子駆動回路。

3. 発明の詳細な説明

技術分野

本発明は、光通信システムにおいて、電気信号を光信号に変換する発光素子の駆動回路に関するものである。

従来技術

半導体レーザあるいは発光ダイオードのような発光素子をパルス駆動する方法として、第1図(a)に示すようにトランジスタ1のコレクタ負荷として発光素子2を接続してそのトランジスタ1のベースに駆動パルス3を供給する方法や、第1図(b)に示すようにトランジスタ1のエミッタ負荷として発光素子2を接続して同様にそのトランジスタ

1のベースに駆動パルス3を供給する方法が広く知られている。

しかしながら、上記の方法においては、トランジスタを飽和状態まで駆動するために、トランジスタ内の少数キャリアの蓄積時間が影響し、発光素子を高速駆動するには適していない。

そこで、高速パルス駆動の場合には、第2図に示すように、互いにエミッタを共通結合された2つのトランジスタTR1及びTR2からなる電流切換え型スイッチ回路が一般的に用いられている。

第2図の電流切換え型スイッチ回路において、一方のトランジスタTR1のコレクタは発光ダイオードのような発光素子2を介して電圧源に接続し、他方のトランジスタTR2のコレクタは抵抗R1を介して同一の電圧源に接続し、共通接続されたエミッタは、等価的な電流源4と抵抗R2を介して接地されている。そして、2つのトランジスタのベースには、互いに反転した関係にある駆動入力パルス3及び5が供給されて、発光素子2が駆動される。

このような電流切換え型スイッチ回路においては、2つのトランジスタTR1及びTR2は、共に飽和状態に入ることなく、能動領域で動作するために、トランジスタ内の少数キャリアの蓄積効果は無視でき、高速動作が可能である。

しかしながら、半導体レーザあるいは発光ダイオードのような半導体発光素子は、それ自体に並列に寄生容量を有している。このため、電流切換え型スイッチ回路を用いて高速駆動をしようとしても、第3図(a)に示すように、駆動入力パルスの立上り時には、半導体発光素子の寄生容量Cdを充電する間は、発光素子に流れる電流は減ぜられ、光出力の立上りが遅れる。一方、駆動入力パルスの立下り時には、第3図(b)に示すように、トランジスタTR1はオフ状態になっているにもかかわらず、寄生容量Cdに蓄えられた電荷が発光素子を流れるために、光出力が遅やかに消えずに、すそ引き現象を呈することになる。上記した駆動入力パルスと実際の光出力との関係を示すと、第4図の如きである。

一般に、高速駆動に適した発光素子の寄生容量Cdは、50ピコファラドから1000ピコファラドにも及び、一方、発光素子の立下り時の動的抵抗値Rdは、数百オーム以上になるため、発光素子の寄生容量に起因する立下り時の時定数Cd・Rdは数ナノ秒から数百ナノ秒となる。従って、電流切換え型スイッチ回路を用いた駆動回路でも、毎秒数百メガビット以上で発光素子を駆動することは困難であった。

発明の目的

そこで、本発明は、上記した発光素子自体の寄生容量の影響を実質的になくして、毎秒数百メガビット以上の高速で発光素子を駆動することができる発光素子駆動回路を提供せんとするものである。

発明の構成

すなわち、本発明によるならば、互いにエミッタを共通結合された2つのトランジスタから構成

される電流切り換え型スイッチ回路と、該電流切り換え型スイッチ回路の一方のトランジスタのコレクタと電源との間に接続された発光素子とを備え、前記2つのトランジスタのベースに互いに反転した駆動入力パルスが供給されるようになされた発光素子駆動回路において、前記発光素子と並列に、抵抗とインダクタとからなる直列回路を接続し、前記一方のトランジスタが非導通状態にされたとき、前記発光素子の寄生容量に蓄えられた電荷を前記抵抗とインダクタとの直列回路を介して速やかに解放せしめることを特徴とする発光素子駆動回路が提供される。

以上のように、発光素子と並列に、抵抗とインダクタとの直列回路を接続することにより、発光素子の消光時に、発光素子の寄生容量 C_d に蓄えられた電荷の放電路を確保することができる。従って、消光時速やかに寄生容量 C_d の電荷が解放され、光出力のすそ引き現象は実質的に抑制され、発光素子の立下り特性を著しく改善することができる。

TR1のベースは、順バイアスとなり、トランジスタTR1は導通し、その瞬間、インダクタLは大抵抗と作用するので、トランジスタTR1のコレクタ電流の大部分は、発光素子2を流れ、光出力は速やかに立上る。

その後の定常発光状態においては、インダクタLは短絡状態に等しいため、コレクタ電流は、発光素子2と抵抗Rとに分割され、所定の一定光出力が得られる。

反対に、駆動入力パルスの立下り時（消光時）には、トランジスタTR1のベースは、逆バイアスとなり、トランジスタTR1はオフとなる。その際、発光素子2の寄生容量 C_d に蓄えられた電荷は、抵抗RとインダクタLから成る直列回路を通して速やかに放電され、発光素子2へは、ほとんど流れない。換言するならば、抵抗RとインダクタLとからなる直列回路は、発光素子2の消光時、発光素子2の寄生容量 C_d に蓄積された電荷の放電路として機能する。

次に、上記発光素子駆動回路の動作を説明する。

実施例

以下、添付図面を参照して本発明による発光素子駆動回路の実施例を説明する。

第5図は、本発明による発光素子駆動回路の一つの実施例を示す回路図である。2つのNPN型トランジスタTR1及びTR2が、互いにエミッタを共通接続されて電流切換え型スイッチ回路を構成している。第5図の電流切換え型スイッチ回路において、一方のトランジスタTR1のコレクタは、順方向に接続された発光ダイオードのような発光素子2を介して電圧源に接続し、他方のトランジスタTR2のコレクタは、抵抗R1を介して同一の電圧源に接続し、共通接続されたエミッタは、等価的な電流源4と抵抗R2を介して接地されている。

更に、発光素子2と並列に、抵抗RとインダクタLとからなる直列回路が接続されている。

上記した回路構成において、トランジスタTR1のベースに駆動入力パルスが入力されると、そのパルスの立上り時（発光時）には、トランジスタ

第5図に示すように、トランジスタTR1及びTR2のベースには、互いに反転した駆動入力パルス3及び5が供給される。トランジスタTR2は、駆動入力パルス5の立上り及び立下りに従ってオン及びオフして、通常の電流切り換え型スイッチ回路の場合と同様の動作を示す。

一方、駆動入力パルス3の立上り時は、トランジスタTR1がオンして導通し、その瞬間、インダクタLは大抵抗と作用するので、トランジスタTR1のコレクタ電流の大部分は、発光素子2を流れ、光出力が速やかに立上って発光素子2は発光する。

しかし、駆動入力パルス3の立下り時には、トランジスタTR1はオフとなり、コレクタ電流は遮断され、それと同時に、発光素子2の寄生容量 C_d に蓄えられた電荷は、抵抗RとインダクタLから成る直列回路を介して速やかに解放されて発光素子2は消光する。その結果、発光素子が発する光出力パルスの立下り時間は著しく短縮され、毎秒数百メガビット以上の高速パルス駆動が可能と

なる。

上記したように、抵抗 R とインダクタ L とからなる直列回路は、発光素子2の消光時、発光素子2の寄生容量 C_d に蓄積された電荷の放電路として機能するので、抵抗 R は、発光素子2の消光時の抵抗値数百オームに対して十分低い抵抗値、例えば数十オームが有効である。また、電荷を引き込む働きをするインダクタ L の値は、寄生容量 C_d の大きさに関係するが、10ナノヘンリー乃至10マイクロヘンリーが適している。

実施例の一つとして、寄生容量 C_d が約200ピコファラドのインジウム・ガリウム・ヒ素・リンからなる発光ダイオード(波長1.3 μm 帯)を駆動するとき、 $R=50$ オーム、 $L=250$ ナノヘンリーとした場合、抵抗 R 、インダクタ L がないときの光出力の立上り時間が2.8ナノ秒、立下り時間が4.6ナノ秒であったに対して、立上り時間・立下り時間共2.6ナノ秒となった。このとき、発光素子の駆動電流の最大値は、いずれの場合も80ミリアンペアであった。特に立下り時間の改善効果が

著しいことがわかった。

第6図は、上記した本発明による発光素子駆動回路の変形例を示すものである。そこで、第5図の回路と同一の回路素子については、同一の参照番号を付して説明を省略する。

第6図の回路は、電流切り換え型スイッチ回路に供給される駆動入力パルスが、パルス幅伸縮回路を介して供給されている点で、第5図の回路と異なっている。

第5図に示した発光素子駆動回路を用いて、特に発光素子の立下り特性を改善して、立上り特性とのバランスを向上した場合、発光素子が本質的に有する非線形性のために、パルス幅が変化することがある。すなわち、一定パルス幅を有する駆動入力パルスが入力しても、光出力パルスは、オン(発光)状態のパルスの幅の方が狭くなってしまふ。そこで、第6図に示すパルス幅伸縮回路6を用いて、あらかじめ、駆動入力パルスのパルス幅を逆方向に変化させてから、電流切り換え型スイッチ回路の各入力ベース端子に印加する。このよ

うにすることによってパルス幅が発光時、消光時とも一定の光パルス出力が得られる。なお、パルス幅伸縮回路6は、一般に用いられるパルス整形回路において、基準電圧 V_{ref} を入力パルス信号の中心値から少しずらすことによって得られる。

具体的に述べるならば、パルス幅伸縮回路6に駆動入力パルス3を供給し、そのパルス幅伸縮回路6により、ハイレベル期間が広げられたパルス7をトランジスタ TR_1 のベースに印加し、反対に、ハイレベル期間が狭められたパルス8をトランジスタ TR_2 のベースに印加する。

その結果、第6図の回路の場合は、第5図の回路と異なり、駆動入力パルス3のパルス幅とほぼ同じパルス幅を持ち且つすそ引きのない光パルスを発光素子2は発することができる。それ故、光出力パルスが駆動入力パルスのパルス幅とほぼ同じパルス幅を持ち且つすそ引きを生ずることなく発光素子を毎秒数百メガビット以上の高速パルスで駆動することが可能となる。

なお、上記実施例において、トランジスタ TR_1

と TR_2 がNPN型であるが、トランジスタ TR_1 と TR_2 をPNP型とてよいことは、当業者には明らかであろう。また、発光素子2としても、発光ダイオードだけでなく、半導体レーザも使用できることも明らかであろう。

発明の効果

以上説明したように、本発明による発光素子駆動回路においては、発光素子と並列に接続された、抵抗とインダクタとからなる直列回路の働きにより、発光素子の消光時に発光素子の寄生容量に蓄えられた電荷の放電路を作ることができる。かくして、発光素子に寄生する容量に蓄えられた電荷を速やかに解放し、光出力パルスの立下り特性を改善することができる。併せて、発光素子の発光時にはコレクタ電流を大部分発光素子に流すことができ、光出力パルスの立上り特性を多少改善することができる。従って、毎秒数百メガビット以上の高速パルス駆動が可能となった。

また、本発明においては、パルス幅伸縮回路を

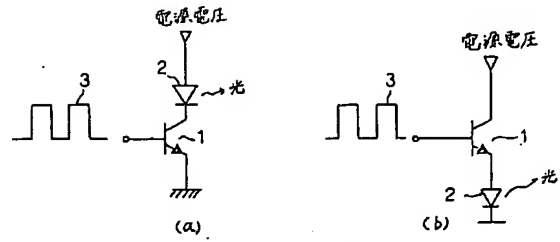
用いて、駆動入力パルスのパルス幅をあらかじめ歪ませてから発光素子を駆動することにより、発光素子の持つ非線形性に起因するパルス幅歪みを補正することができる。

4. 図面の簡単な説明

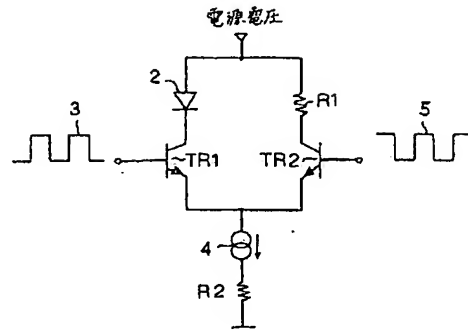
第1図(a)及び(b)並びに第2図は、従来の発光素子駆動回路の回路図、第3図(a)及び(b)は、第2図の発光素子駆動回路の動作説明図、第4図は、従来の発光素子駆動回路における駆動入力パルスと実際の光出力とを示す波形図、第5図は、本発明による発光素子駆動回路の回路図、そして、第6図は、第5図の発光素子駆動回路の変形例を示す回路図である。

〔主な参照番号〕

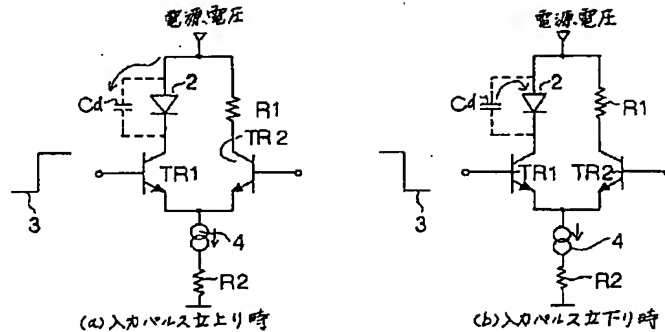
- 1・・・トランジスタ、2・・・発光素子、
- 3、5・・・駆動入力パルス
- 4・・・電流源、6・・・パルス幅伸縮回路
- TR1、TR2・・・トランジスタ
- R1、R2・・・抵抗、



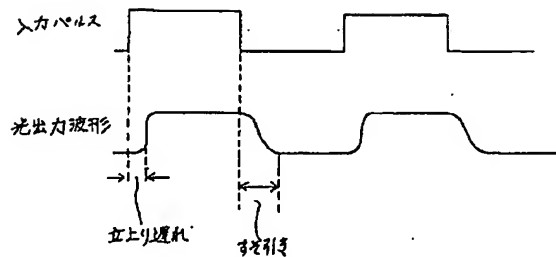
第1図



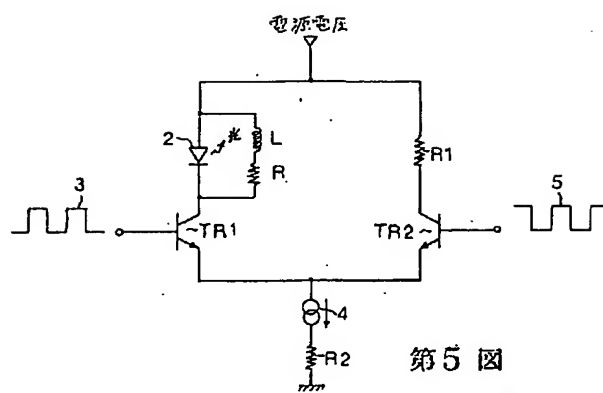
第2図



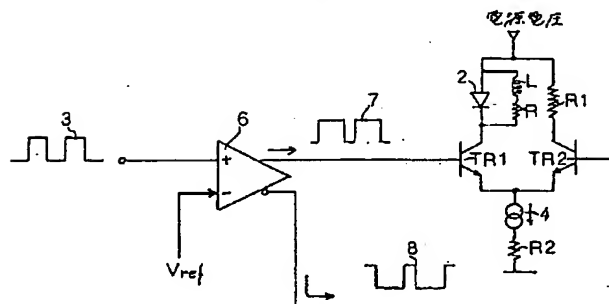
第3図



第4図



第5図



第6図